

(19) 日本国特許庁 (JP)

(11)特許出願公開番号

特開平8-316421

(43)公開日 平成8年(1996)11月29日

(5)Int.Cl.*	識別記号	片内整理番号	FI	技術表示箇所
H 01 L	27/04		H 01 L	H
	21/622			S
	21/76			3 1 1 A
	27/06			

調査請求 有 請求項の数1 OL (全4頁)

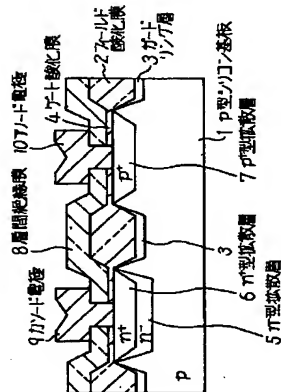
(21) 出願番号	特願平7-124881	(71) 出願人	00004237 日本電気株式会社
(22) 出願日	平成7年(1995)5月24日	(72) 発明者	永井 隆行 東京都港区芝五丁目7番1号
		(74) 代理人	式会社内 伊理士 京本 直樹 (外2名)

## 54) 【発明の名称】 半導体集積回路装置

## 57) 【要約】

**目的** 内部回路素子の耐圧よりも低い耐圧の保護素子として、n-型シリチスループ耐圧を利用したダイオードで形成する。

**構成** フィールド酸化膜2で素子分離された第1の素子形成領域にn<sup>-</sup>型酸化膜5と、n<sup>+</sup>型酸化膜6からなる2重並置構造を形成し、第2の素子形成領域にp<sup>+</sup>型酸化膜7を形成し、フィールド酸化膜2の下に設けた第1のガードリング3とカソードのn<sup>+</sup>型酸化膜6とを接続することにより、シリチスループ耐圧を内部トランジスタの耐圧よりも低くできる。



【特許請求の範囲】

【導電型半導体基板の一面に形成して、第2の葉子形成領域のそれぞれを素子と分離するフィードパッチ線と、前記フィールドパッチ線と接続した導電型半導体チップの下部に設けた一導電型半導体層と、前記第1の葉子形成領域の前記半導体基板の表面に形成した逆導電散層の上部に形成し且つ前記ガードリング層と隣接する逆導電散層の上部に形成した逆導電散層の深さより浅い意不純物濃度拡散域からなる2重並置散層構造と、第2の葉子形成領域の前記半導体基板の表面に形成した導電型半導体層の高比重化散層とを有することを特徴とする半導体集積回路装置】

## 【発明の詳細な説明】

10001

【産業上の利用分野】本発明は、半導体集積回路装置に  
関し、特に保護回路用素子に関する。

**【0002】**

【従来の技術】図2は従来の保護オフパツア素子の一例を示す半導体チップの断面図である。

【000003】高圧系（電源電圧10V〜）では図2に示すように、*p*-型シリコン基板1の表面に設けて素子形成領域を区画するタイプのゲート酸化膜2およびフィールド酸化膜2の下層に設けた*p*-型のガードドリフト層3と、素子形成領域の表面に形成したゲート酸化膜4と、ゲート酸化膜4の上に選択的に形成したゲート電極11と、このゲート電極11とフィールド酸化膜2をマスキングとして素子形成領域に不純物をイオン注入して形成した深い*n*-型拡散層6およびこの*n*-型拡散層6内に設けた浅い*n*-型拡散層7との2重拡散構造となるソース・ドレイン領域と、ゲート電極11を含む表面に設けた図4例示のゲート電極8と、周囲絶縁膜2に設けたコンタクトホール9およびゲート電極8に接続して形成したドレイン電極12およびソース電極13とを有して構成される。

【000004】この構成は、ロジック回路用の高圧系MOSトランジスタと同じであり、図3の等価回路に示すように、ゲート電極を基板電位と同電位にすることによってオフセットとして用いられる。

【0005】このオフパツファを保護素子として使用する。場合、その動作を順に示すと次のようになる。

【0006】(1) ドレイン電極に高電圧パルスが印加される。

【0007】(2) ドレイン拡散層のジャンクションダ  
オードDがブレイクダウンを起こす。

【0008】(3) 発生した電子・ホール対のホールが、ポート電極下の電位を引き上げる。

【0009】(4) 寄生npn型バイポーラトランジスタBがオンすることでブレイクダウン後のオン抵抗を低減することができる。

【0010】この場合、電流はドレイン抵抗 $R_D$ 、ソース抵抗 $R_S$ を介して流れるため、ドレイン抵抗 $R_D$ 、ソ

ース抵抗RS  
【0011】

【発明が解決しようとする課題】この従来の半導体装置  
回路装置では、保護回路用素子の構造が内部ロジック回  
路と同じであったため、その耐圧も同じであった。また、  
シリコン・ドレイン領域の  $n^+$  型拡散層の濃度が低く、ド  
レイン抵抗およびソース領域が高い場合に寄生  $pnp$  型ペ  
イポーラトランジスタがオンすることで、過電流が流れ、  
ドレイン領域およびソース領域の発熱により、ジャンク  
ション破壊に至るという問題があった。

【0012】これらのことから、オフパツファを保護素子として使用する場合には、その占有面積を大きくして電流を分散させる必要があった。

【0013】本発明の目的は、内部回路素子よりも耐圧の低い保護素子を有する半導体集積回路を提供することにある。

**[0014]**

【課題】を解決するための手段】本発明の半導体装置は、  
第一電極は、第一電極半導体基板の一面に形成して隣接す  
る第1および第2の素子形成領域のそれぞれを素子分離  
するフィニッシュ線と、前記フィニッシュ線の下部に設け  
た第一電極のガードリングと、前記第1の素子形成領域の  
形成領域の前記半導体基板の表面に形成した逆導電型の  
深い低不純物濃度重直放散層および前記低不純物濃度放散  
層の上部に形成した前記ガードリング層と隣接する浅い低  
不純物濃度重直放散層からなる2重ガードリング構造と、前記第  
2の素子形成領域の前記半導体基板の表面に形成した一  
逆導電型の低不純物濃度放散層とを有する。

**[0015]**

【実施例】次に、本発明について図面を参照して説明する。

【0016】図1は本発明の一実施例を示す半導体チップの断面図である。

【0017】図1に示すように、まず、不純物濃度が $1 \times 10^{17}$  cm $^{-3}$ のp型シリコン基板1の表面を局所酸化して形成したフィード膜2の下部に、不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19}$  cm $^{-3}$ で深さ0.2~1  $\mu$ mのp型ガードリング層3を形成し、フィード層2と酸化膜2とにより区画され且つ隣接する第1および第2の素子形成領域の表面に厚さ40~100 nmのゲート酸化膜4を形成する。第1の素子形成領域に不純物濃度が $1 \times 10^{16} \sim 1 \times 10^{19}$  cm $^{-3}$ で深さ0.3~2  $\mu$ mのn $^{+}$ 型拡散層5を形成し、このn $^{+}$ 型拡散層5に近接して、不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{22}$  cm $^{-3}$ で深さ0.1~0.5  $\mu$ mのn $^{+}$ 型拡散層6を形成した二重拡散層を形成する。

【0018】次に、第2の葉子形成領域に不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ で深さ $0.2 \sim 1 \mu\text{m}$ の $p^+$ 型拡散層7を形成する。次に、全面に層間絶縁膜8を堆積して選択的にエッチングし、 $n^+$ 型拡散層6および

